마이크로 프로세서를 이용한 디지털 보정회로 설계

전호익1*, 조현섭2
1하전대학국방전자부사관과 2청운대학교이공대학전자공학과

Design of Digital Correction Circuits Using Microprocessor

Ho-Ik Jun1* and Hyun-Seob Cho2
1Dept. of Military Electronics for Non Commissioned Officer, Hyejeon College 2Dept. of Digital Broadcasting & Electronic Engineering, Chungwoon Univ.,

요 약 본 논문에서는 유연성 있는 신호처리 방법으로 디지털 로직을 컴퓨터 논리회로 명령으로 구성하여 외부에서의 입력신호에 대응하는 논리회로의 결과를 입출력 채널을 통해 외부로 출력해 줄 수 있는 드라이브에 관한 연구이다. 이는 Decoder IC Multiplexer & Demulti Plexor, 기본 로직 IC 등의 가상구현 및 BIT 출력이 가능한 디지털 신호회로로서의 기능이 가능하며 일반 산업에서 유용하게 사용될 수 있으리라 사료된다.

Abstract In this paper, the composes with digital position with a computer logical operation order with the signal processing method which is pliability and result of the logical operation which confronts in input signal from the outside input-output Channel leads and about the drive which the possibility to output at the outside is a research. This Decoder IC Multiplexer & De-multiplexer, position the function with from the digital signal circle where the imagination embodiments and BIT outputs of IC etc. are possible is possible in basic and usefully from the general industrial, could be used.

Key Words : Decoder IC, Multiplexer & De-multiplexer, Digital Logic

1. 서 론

많은 IC의 출현에도 불구하고 특정하게 원하는 부품을 적시에 획득하기란 좀처럼 쉬운 일이 아니다. 기존에 이 개발된 소량의 부품을 원하는 시스템 개발자의 입장을에서 이러한 문제점이 개발기간의 지연요소로 작용되어질 수 있다[1]. 본 논문은 이러한 문제점을 해결하기 위한 유연성 있는 신호처리 방법으로[2-3] 디지털 로직을 컴퓨터 논리회로 명령으로 구성하여 외부에서의 입력신호에 대응하는 논리회로의 결과를 입출력 채널을 통해 외부로 출력해 줄 수 있는 드라이브에 관한 연구이다. 이는 Decoder IC, Multiplexer & Demulti Plexor, 기본 로직 IC 등의 가상구현 및 BIT 출력이 가능한 디지털 신호회로로서의 기능이 가능하게끔 하였다.

2. 연구 개발 내용

2.1 회로 구성

본 논문에서 언급되어지는 디지털 로직의 가상 구현을 위하여 그림 1의 블록도와 같이 구성된 회로가 사용되어 진다. 전체 회로는 크게 두 개의 부분으로 설명되어질 수 있는데 첫째, 컴퓨터와의 입·출력을 행하는 8Bit 크기의 9 Channel I/O Interface 부분과 둘째, 입·출력의 방향 및 전원 편의 설정을 위한 Tri-state Buffer Board이다.
2.1.1 9 Channel 8Bit I/O Interface

그림 2는 범용 입출력 인터페이스 소자인 8255A를 사용하였으며 Address Comparator 74LS688에 의하여 Address 200H부터 20BH 까지 프로그래밍할 수 있게 하였다. 8255A는 모드 0을 사용하여 Tri-state Buffer Board에 Target IC의 입출력 방향선호와 컴퓨터 프로그램으로 구현한 논리 관계식에 따라 입출력 데이터 신호를 전송한다.

2.1.2 Tri-State Buffer Board

그림 3은 Tri-state Buffer Board의 전체회로로서 8255A로부터 입출력 방향선호를 받아 논리레벨이 High(+5V)일 때에는 Tri-state Buffer 출력을 High Impedance 상태로 두고, Low(0V)일 때에는 동작상태에 두어 입력과 출력 신호를 분리시킨다. 이렇게 별도의 구조로 연결된 두 개의 Tri-state Buffer IC는 동시에 동작되지 않게 프로그램 되어있다. 그림 4에서는 한 개의 IC에 대한 입력 및 출력 설정 시 각각의 상황을 보여준다.

부가적으로 각 입력에 Pull-Up 저항을 두어 Open-Collector 형태의 IC를 지원해주며 입력 출력선 각각 전류제한 저항을 두어 회로를 보호하고 있다.

2.2 소프트웨어 구성

소프트웨어의 구성은 크게 두 가지로 살펴볼 수 있는데 각각의 IC에 대한 정보를 가지고 있는 데이터 파일과 이를 호출하여 실행하는 파일로 나눌 수 있다.

2.2.1 데이터 파일

데이터 파일에는 Target IC의 논리적 기능과 입출력 방향을 제어하기 위한 제어문자, 전원 편성 번호, 전체 편성 등이 기술되어있다. 위의 기술사항들은 16진수로 표현되며 테스트 파일로 저장된다.

2.2.2 실행 파일

실행 파일에서는 데이터 파일에서 기술된 사항을 호출하여 배열로 저장한 후 각종 제어문장을 생성· 실행한다. 데이터 파일에서 호출한 내용 중 논리적 기능에 관한 내용으로 입출력 관계식을 세우며, 입출력 제어문자는 Tri-state Buffer IC를 제어하여 신호의 방향을 결정한다. (입출력 편성 분리) 이 외에도 8Bit I/O Interface 소자인 3개의 8255A IC에 대한 Control Word를 지정하고 각종 Indicator를 표시하여준다.

3. 실험결과 및 고찰

그림 5와 같이 테스트 보드를 구성하여 테스트 시 양
호한 출력 결과를 확인할 수 있었다. 이 테스트에 사용된 장비의 사양은 다음과 같다.

- TEST Board : 16진 up/down counter
- Computer : 486DX2-50MHz
- Oscilloscope : Tektronix 2440
- Target IC : 74LS86

그림 6은 74LS86의 같은 구현 후 두 입력단자 중 한 입력단자를 Low로 하고 다른 한 입력단자에 구형과 입력을 가했을 때의 출력 파형을 보여준다. 이 그림을 통하여 입력이 가해진 순간부터 출력이 나오기까지 약간의 지연 시간이 발생함을 볼 수 있다. 이는 컴퓨터의 명령이 수행 시간만큼의 지연시간이 생기기 때문으로서 본 연구에서는 약 78.8μs 정도의 지연시간이 발생함을 볼 수 있다.

4. 결론

본 연구는 로직 IC나 입력의 디지털 신호원을 컴퓨터 상에서 프로그램으로 구현하여 출력해보고자 하는 연구로서 입 - 출력 편 신을 분리함으로서 서로의 간섭을 벌재할 수 있으며 입력된 데이터의 비트 연산을 통하여 원하는 출력신호를 생성할 수 있음을 확인할 수 있었다.

참고문헌


전호익 (Ho-Ik Jun) 

[정회원]

- 1986년 2월 : 단국대학교 대학원 전자공학과 (석사)
- 1998년 2월 : 단국대학교 대학원 전자공학과 (박사)
- 1992년 ~ 현재 : 해양전학 국방전자부사관과 부교수

<관심분야>
공장자동화 알고리즘 설계

조현섭 (Hyun-Seob Cho) 

[충신회원]

- 1990년 2월 : 원광대학교 공과대학 전자공학과 졸업
- 1992년 2월 : 원광대학교 공과대학 전자공학과(석사)
- 1996년 2월 : 원광대학교 공과대학 전자공학과(박사)
- 1996년 1월 ~ 1997년 6월 : Department of Electrical and Computer Engineering, University of California Irvine(UCI) 연구원
- 1998년 1월 ~ 현재 : 한국전자기술후문학교 고급강사(전자공학)
- 1997년 3월 ~ 현재 : 청운대학교 부교수

<관심분야>
전기공학, 공장자동화, 응용전자